

TOKU E+20  
BSICBLP  
703-205-8000  
February 4, 2004  
0020-52227  
2 OF 2

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    5 月 2 0 日  
Date of Application:

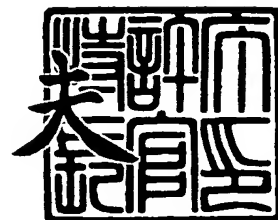
出 願 番 号                      特 願 2 0 0 3 - 1 4 2 1 3 5  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 4 2 1 3 5 ]

出      願      人                      シャープ株式会社  
Applicant(s):

2 0 0 3 年 1 2 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 1 0 8 1 0 9

【書類名】 特許願

【整理番号】 189730

【提出日】 平成15年 5月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10  
G11C 7/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 徳井 圭

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 矢追 善史

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柴田 晃秀

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 那脇 勝

## 【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

## 【代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

## 【選任した代理人】

【識別番号】 100100170

【弁理士】

【氏名又は名称】 前田 厚司

## 【選任した代理人】

【識別番号】 100122286

【弁理士】

【氏名又は名称】 仲倉 幸典

## 【先の出願に基づく優先権主張】

【出願番号】 特願2003- 26752

【出願日】 平成15年 2月 4日

## 【手数料の表示】

【予納台帳番号】 204815

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 不揮発性メモリ素子を用いて形成されたメモリセルアレイと

、  
上記メモリセルアレイに供給する電圧を生成する電圧供給回路と、

上記電圧供給回路が生成した電圧の極性を反転させる電圧極性反転回路と、

上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値を検出する第 1 電圧値検出回路とを備え、

上記不揮発性メモリ素子は、

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、

このゲート電極下に上記ゲート絶縁膜を介して配置されたチャネル領域と、

上記チャネル領域の両側に配置されると共に、上記チャネル領域と逆導電型を有する拡散領域と、

上記ゲート電極の両側に形成されて、電荷または分極を保持する機能を有するメモリ機能体と

を有することを特徴とする半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

上記電圧供給回路から上記メモリセルアレイに供給される電圧の値を検出する第 2 電圧値検出回路を備えることを特徴とする半導体記憶装置。

【請求項 3】 請求項 1 に記載の半導体記憶装置において、

上記メモリセルアレイを形成する不揮発性メモリ素子のうちの適切な不揮発性メモリ素子を選択し、この選択した不揮発性メモリ素子に、上記電圧供給回路および上記電圧極性反転回路を接続する選択接続回路を備え、

上記選択接続回路は、電界効果トランジスタを含むことを特徴とする半導体記憶装置。

【請求項 4】 請求項 3 に記載の半導体記憶装置において、

上記選択接続回路に含まれる電界効果トランジスタのうちの少なくとも 1 つは、上記電圧極性反転回路に含まれる電界効果トランジスタの閾値電圧よりも低い

閾値電圧を有する低閾値電界効果トランジスタであることを特徴とする半導体記憶装置。

【請求項 5】 請求項 1 に記載の半導体記憶装置において、

上記メモリ機能体の少なくとも一部が上記拡散領域の一部にオーバーラップしていることを特徴とする半導体記憶装置。

【請求項 6】 請求項 1 に記載の半導体記憶装置において、

上記メモリ機能体は、

上記ゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜と、

上記チャネル領域または半導体層とを隔てる絶縁膜とを有し、

上記絶縁膜の膜厚が、上記ゲート絶縁膜の膜厚より薄く、かつ、0.8 nm 以上であることを特徴とする半導体記憶装置。

【請求項 7】 請求項 1 に記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関する。

【0002】

【従来の技術】

従来から不揮発性の半導体記憶装置としては、代表的にはフラッシュメモリが用いられている。

【0003】

このフラッシュメモリでは、図 23 に示すように、半導体基板 901 上にゲート絶縁膜 908 を介してフローティングゲート 902、絶縁膜 907、ワード線（コントロールゲート）903 がこの順に形成されており、フローティングゲート 902 の両側には、拡散領域によるソース線 904 及びビット線 905 が形成されてメモリ素子を構成する。このメモリ素子の周囲には、素子分離領域 906

が形成されている（特許文献 1 を参照）。

#### 【0004】

上記メモリ素子は、フローティングゲート 902 中の電荷量の多寡として記憶を保持する。上記メモリ素子を配列して構成したメモリセルアレイは、特定のワード線、ビット線を選択して所定の電圧を印加することにより、所望のメモリ素子の書き換え、読み出し動作を行なうことができる。

#### 【0005】

このようなフラッシュメモリでは、フローティングゲート 902 中の電荷量が増加したとき、図 24 に実線の曲線と破線の曲線で示すような、ドレイン電流  $I_d$  対ゲート電圧  $V_g$  特性を示す。すなわち、上記フローティングゲート 902 中の負電荷の量が増加すると、図 24 中の実線の曲線で示す特性から破線の曲線で示す特性になって、 $I_d - V_g$  曲線は、同じドレイン電流  $I_d$  に対してゲート電圧  $V_g$  が増加する方向にほぼ平行移動して、閾値電圧が増加する。

#### 【0006】

##### 【特許文献 1】

特開平 5-304277 号公報

#### 【0007】

##### 【発明が解決しようとする課題】

しかしながら、上記従来の半導体記憶装置は、上記メモリ素子に対する特定の操作において高電圧を使用するので、上記メモリ素子や、周辺回路に用いられるトランジスタのゲート絶縁膜を厚くする必要がある。したがって、短チャネル効果を考慮する必要があるので、上記メモリ素子や周辺回路のトランジスタについて、ゲート長が比較的短いトランジスタを用いることが困難であり、その結果、メモリセルアレイや、周辺回路のうちの高電圧に関連する周辺回路の回路面積が大きくなるという問題がある。また、半導体記憶装置全体の小型化が困難であるという問題がある。

#### 【0008】

そこで、本発明の目的は、メモリセルアレイや周辺回路の小型化が有効に行なえる半導体記憶装置を提供することにある。

**【0009】****【課題を解決するための手段】**

上記目的を達成するため、本発明の半導体記憶装置は、不揮発性メモリ素子を用いて形成されたメモリセルアレイと、

上記メモリセルアレイに供給する電圧を生成する電圧供給回路と、

上記電圧供給回路が生成した電圧の極性を反転させる電圧極性反転回路と、

上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値を検出する第1電圧値検出回路とを備え、

上記不揮発性メモリ素子は、

半導体層上にゲート絶縁膜を介して形成されたゲート電極と、

このゲート電極下に上記ゲート絶縁膜を介して配置されたチャネル領域と、

上記チャネル領域の両側に配置されると共に、上記チャネル領域と逆導電型を有する拡散領域と、

上記ゲート電極の両側に形成されて、電荷または分極を保持する機能を有するメモリ機能体と

を有することを特徴としている。

**【0010】**

本発明によれば、電圧供給回路で生成された電圧が、上記電圧極性反転回路によって極性が反転されて、メモリセルアレイに供給される。上記第1電圧値検出回路によって、上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値が検出される。この検出値に応じて、例えば、上記電圧極性反転回路と上記メモリアレイとを接続する回路等の動作が制御される。上記メモリセルアレイに供給される電圧の値は、その絶対値が、上記電圧供給回路で生成された電圧の値以下である。その結果、上記メモリセルアレイの不揮発性メモリ素子や、上記第1電圧値検出回路等に用いられるトランジスタは、従来のような高電圧に対応するためにゲート絶縁膜の厚みを厚くする必要がない。したがって、上記不揮発性メモリ素子やトランジスタにおける短チャネル効果が軽減される。その結果、上記不揮発性メモリ素子およびトランジスタについて、従来よりもチャネル長を短くできる。さらに、上記メモリセルアレイを形成する不揮発性メモリ素子

は、上記ゲート電極の両側にメモリ機能部を有するので、上記ゲート電極とチャネル領域との間のゲート絶縁膜の厚みを従来よりも薄くできる。その結果、この半導体記憶装置は、上記メモリセルアレイの不揮発性メモリ素子や、上記第1電圧値検出回路等のような周辺回路に用いられるトランジスタについて、ゲート絶縁膜の厚みを薄くでき、また、ゲート長を短くできる。これによって、上記メモリセルアレイや周辺回路の回路面積が効果的に小さくできて、半導体記憶装置の小型化を効果的に行なうことができる。

#### 【0011】

1実施形態の半導体記憶装置は、上記電圧供給回路から上記メモリセルアレイに供給される電圧の値を検出する第2電圧値検出回路を備える。

#### 【0012】

上記実施形態によれば、上記第2電圧値検出回路によって、上記電圧供給回路から上記メモリセルアレイに供給される電圧の値が検出される。上記第2電圧値検出回路が検出する電圧値と、上記第1電圧値検出回路が検出する上記電圧極性反転回路から上記メモリセルアレイに供給される電圧値とは、絶対値の最大が互いに同じになる。したがって、上記第2電圧値検出回路に用いるトランジスタは、上記第1電圧値検出回路に用いるトランジスタと、ゲート絶縁膜の厚みおよびチャネル長が略同じにできる。しかも、上記第2電圧値検出回路は、上記第1電圧値検出回路と同様に、検出する電圧値の絶対値が従来よりも低いので、ゲート絶縁膜の厚みを従来よりも薄くできて、ゲート長を短くできる。その結果、上記第1電圧値検出回路と第2電圧値検出回路は、ゲート絶縁膜を同一の工程で形成できるので、製造工程における手間を従来よりも削除でき、しかも、上記第2電圧値検出回路の回路面積を従来よりも小さくできる。その結果、半導体記憶装置の小型化と、製造コストの削減とを、効果的に行なうことができる。

#### 【0013】

1実施形態の半導体記憶装置は、上記メモリセルアレイを形成する不揮発性メモリ素子のうちの適切な不揮発性メモリ素子を選択し、この選択した不揮発性メモリ素子に、上記電圧供給回路および上記電圧極性反転回路を接続する選択接続回路を備え、



上記選択接続回路は、電界効果トランジスタを含む。

【0014】

上記実施形態によれば、上記接続選択回路によって、例えばメモリセルアレイの操作のモードに応じて、上記電圧供給回路および電圧極性反転回路からの電圧が、適切な不揮発性メモリ素子に供給される。また、上記接続選択回路は、電界効果トランジスタを含むので、所定の電圧を適切な不揮発性メモリ素子に供給する接続スイッチを、簡単に構成することができる。

【0015】

1実施形態の半導体記憶装置は、上記選択接続回路に含まれる電界効果トランジスタのうちの少なくとも1つは、上記電圧極性反転回路に含まれる電界効果トランジスタの閾値電圧よりも低い閾値電圧を有する低閾値電界効果トランジスタである。

【0016】

上記実施形態によれば、低閾値電界効果トランジスタを接続選択回路に使用することによって、電圧極性反転回路から供給された電圧は、上記接続選択回路によって不揮発性メモリ素子に供給される際における電圧降下量が低減されるので、上記不揮発性メモリ素子に十分な値の電圧を供給することができる。

【0017】

一実施形態の半導体記憶装置は、上記半導体記憶装置において、上記メモリ機能体の少なくとも一部が上記拡散領域の一部にオーバーラップしている。

【0018】

また、他の実施形態の半導体記憶装置は、上記半導体記憶装置において、上記メモリ機能体は、上記ゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜と、上記チャネル領域または半導体層とを隔てる絶縁膜とを有し、上記絶縁膜の膜厚が、上記ゲート絶縁膜の膜厚より薄く、かつ、0.8nm以上である。

【0019】

上記実施形態の半導体記憶装置によれば、上記不揮発性メモリ素子の書込み動作及び消去動作の電圧を低下させることによって、従来のように、高電圧に対応

するためにゲート絶縁膜の膜厚を厚くする必要がない。このため、上記不揮発性メモリ素子や、上記不揮発性メモリ素子を動作させるための回路を構成する例えばトランジスタにおける短チャンネル効果が軽減される。その結果、上記不揮発性メモリ素子と、上記不揮発性メモリ素子を動作させるための回路を構成するトランジスタとについて、従来よりもチャンネル長を短くすることができる。

#### 【0020】

また、上記半導体記憶装置にチャージポンプ装置を設けた場合、このチャージポンプ装置に含まれる例えばキャパシタの面積を小さくすることができる。

#### 【0021】

以上より、上記半導体記憶装置の回路面積を大幅に削減することが可能となる。

#### 【0022】

本発明の携帯電子機器は、上記半導体記憶装置を備えたことを特徴としている。

#### 【0023】

上記構成の携帯電子機器によれば、1つの不揮発性メモリ当たり2ビットの記憶保持が可能で、かつ、微細化が容易な半導体記憶装置を備えているので、高機能化できると共に、小型化できる。また、小型化により、製造コストを削減することが可能になる。

#### 【0024】

#### 【発明の実施の形態】

まず、本発明の半導体記憶装置に用いる不揮発性のメモリ素子について、その概略を説明する。

#### 【0025】

上記メモリ素子は、主として、半導体層と、ゲート絶縁膜と、ゲート電極と、チャンネル領域と、拡散領域と、メモリ機能体とから構成される。ここで、上記チャンネル領域とは、通常、半導体層と同じ導電型の領域であって、ゲート電極直下の領域を意味し、拡散領域は、チャンネル領域と逆導電型の領域を意味する。

#### 【0026】

具体的には、本発明のメモリ素子は、拡散領域である 1 つの第 1 導電型の領域と、チャネル領域である第 2 導電型の領域と、第 1 及び第 2 導電型の領域の境界を跨って配置された 1 つのメモリ機能体と、ゲート絶縁膜を介して設けられた電極とから構成されていてもよいが、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された 2 つのメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置される 2 つの拡散領域と、ゲート電極下に配置されたチャネル領域とから構成されることが適当である。

#### 【0027】

本発明の半導体装置は、半導体層として半導体基板の上、好ましくは半導体基板内に形成された第 1 導電型のウェル領域の上に形成されることが好ましい。

#### 【0028】

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI (Silicon on Insulator) 基板、SOS 基板又は多層 SOI 基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成された SOI 基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

#### 【0029】

この半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わされて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS (Local Oxidation of Silicon) 膜、トレンチ酸化膜、STI (Shallow Trench Isolation) 膜等種々の素子分離膜により形成することができる。半導体層は、P 型又は N 型の導電型を有していてもよく、半導体層には、少なくとも 1 つの第 1 導電型 (P 型又は N 型) のウェ

ル領域が形成されていることが好ましい。半導体層及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体層としてSOI基板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャンネル領域下にボディ領域を有していてもよい。

#### 【0030】

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広で）形成されていてもよい。

#### 【0031】

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、ゲート電極は、単層又は多層の導電膜によって分離されることなく、一体形状として形成されていることが好ましいが、単層又は多層の導電膜によって、分離した状態で配置していてもよい。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャンネル領域が形成されている。

#### 【0032】

なお、ゲート電極は、後述するメモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ

素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

#### 【0033】

メモリ機能体は、少なくとも電荷を保持する機能（以下「電荷保持機能」と記す）を有する。言換えると、電荷を蓄え、保持するか、電荷をトラップするか、電荷分極状態を保持する機能を有する。この機能は、例えば、電荷保持機能を有する膜又は領域をメモリ機能体が含むことにより発揮される。この機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシライド、ジルコニウムオキシライド、タンタルオキシライド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。したがって、メモリ機能体は、例えば、シリコン窒化膜を含む絶縁膜；導電膜もしくは半導体層を内部に含む絶縁膜；導電体もしくは半導体ドットを1つ以上含む絶縁膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

#### 【0034】

シリコン窒化膜などの電荷保持機能を有する膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。また、複数のメモリ素子を配列する場合、メモリ素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。さらに、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、メモリ素子の微細化が容易となる。

#### 【0035】

なお、記憶保持に関する信頼性を高めるためには、電荷保持機能を有する膜は、必ずしも膜状である必要はなく、電荷保持機能を有する膜が絶縁膜中に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に電荷保持機能を有する膜が分散していることが好ましい。

#### 【0036】

電荷保持膜として導電膜又は半導体層を用いる場合には、電荷保持膜が半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させることが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

#### 【0037】

導電膜又は半導体層を内部に含む絶縁膜をメモリ機能体として用いることにより、導電体又は半導体中への電荷の注入量を自由に制御でき、多値化しやすいため、好ましい。

#### 【0038】

さらに、導電体又は半導体ドットを1つ以上含む絶縁膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込・消去が行ないやすくなり、低消費電力化することができ、好ましい。

#### 【0039】

また、メモリ機能体として、電界により分極方向が変化するPZT、PLZT等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され、電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の分極のみによってヒステリシス特性を得ることができるため、高速に書込・消去ができ、好ましい。

#### 【0040】

なお、メモリ機能体を構成する絶縁膜としては、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜であることが適当であり、この電荷を逃げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

#### 【0041】

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に配置しており、また、直接、ゲート絶縁膜を介して半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

#### 【0042】

拡散領域は、ソース／ドレイン領域として機能させることができ、半導体層又はウェル領域と逆導電型を有する。拡散領域と半導体層又はウェル領域との接合は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。拡散領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてSOI基板を用いる場合には、拡散領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

#### 【0043】

拡散領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置していてもよいし、ゲート電極端に対してオフセットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフセットしすぎると、拡散領域（ソース／ドレイン）間の駆動電流が著しく

小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量、つまり、ゲート長方向における一方のゲート電極端から近い方の拡散領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷保持機能を有する膜又は領域の少なくとも一部が、拡散領域の一部とオーバーラップしていることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極と拡散領域間の電圧差により、メモリ機能体を横切る電界によって記憶を書き換えることであるためである。

#### 【0044】

拡散領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成された拡散領域上に、この拡散領域と一体化した導電膜が積層されて構成されていることが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体層に比べて非常に大きいために、半導体層内における拡散領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、この拡散領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

#### 【0045】

本発明のメモリ素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、電荷保持機能を有する膜（以下「電荷保持膜」と記す）、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の



電荷保持材料を分散させた絶縁膜材料を、ゲート電極を含む半導体層上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、前記単層膜又は積層膜を形成し、マスクを用いてパターンニングする方法等が挙げられる。また、ゲート電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターンニングする方法等が挙げられる。

#### 【0046】

このメモリ素子の形成方法の一例を説明する。

#### 【0047】

まず、公知の手順で、半導体基板上にゲート絶縁膜及びゲート電極を形成する。続いて、上記半導体基板上全面に、膜厚 0.8～20 nm、より好ましくは膜厚 3～10 nm のシリコン酸化膜を、熱酸化法により形成し、又は CVD (Chemical Vapor Deposition) 法により堆積する。次に、上記シリコン酸化膜上全面に、膜厚 2～15 nm、より好ましくは 3～10 nm のシリコン窒化膜を CVD 法により堆積する。更に、上記シリコン窒化膜上全面に、20～70 nm のシリコン酸化膜を CVD 法により堆積する。

#### 【0048】

続いて、異方性エッチングによりシリコン酸化膜／シリコン窒化膜／シリコン酸化膜をエッチングバックすることにより、記憶に最適なメモリ機能体を、ゲート電極の側壁にサイドウォールスペーサ状に形成する。

#### 【0049】

その後、上記ゲート電極及びサイドウォールスペーサ状のメモリ機能体をマスクとしてイオン注入することにより、拡散層領域（ソース／ドレイン領域）を形成する。その後、公知の手順でシリサイド工程や上部配線工程を行えばよい。

#### 【0050】

本発明のメモリ素子を配列してメモリセルアレイを構成した場合、メモリ素子の最良の形態は、例えば、(1) 複数のメモリ素子のゲート電極が一体となって

ワード線の機能を有する、(2) 上記ワード線の両側にはメモリ機能体が形成されている、(3) メモリ機能体内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、(4) メモリ機能体はONO (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、(5) メモリ機能体中のシリコン窒化膜はワード線及びチャネル領域とシリコン酸化膜で隔てられている、(6) メモリ機能体内のシリコン窒化膜と拡散領域とがオーバーラップしている、(7) ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート絶縁膜の厚さが異なる、(8) 1 個のメモリ素子の書込み及び消去動作は単一のワード線により行なう、(9) メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極(ワード線)がない、(10) メモリ機能体の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。

#### 【0051】

上述した要件の特に好ましい組み合わせは、例えば、(3) メモリ機能体内で電荷を保持するのが絶縁体、特にシリコン窒化膜であり、(6) メモリ機能体内の絶縁膜(シリコン窒化膜)と拡散領域とがオーバーラップしており、(9) メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極(ワード線)がない場合である。

#### 【0052】

要件(3)及び要件(9)を満たす場合には、以下のように、非常に有用である。まず、ビット線コンタクトをワード線側壁のメモリ機能体と、より接近して配置することができ、又はメモリ素子間の距離が接近しても、複数のメモリ機能体が干渉せず、記憶情報を保持できる。したがって、メモリ素子の微細化が容易となる。なお、メモリ機能体内の電荷保持領域が導電体の場合、容量カップリングによりメモリ素子間が近づくにつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

#### 【0053】

また、メモリ機能体内の電荷保持領域が絶縁体（例えば、シリコン窒化膜）である場合、メモリセル毎にメモリ機能体を独立させる必要がなくなる。例えば、複数のメモリセルで共有される 1 本のワード線の両側に形成されたメモリ機能体は、メモリセル毎に分離する必要が無く、1 本のワード線の両側に形成されたメモリ機能体を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、メモリ機能体を分離するフォト、エッチング工程が不要となり、製造工程が簡略化される。さらに、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを縮小できる。したがって、メモリ機能体内の電荷保持領域が導電体（例えば、多結晶シリコン膜）である場合と比較して、同じ微細加工レベルで形成しても、メモリセル占有面積を微細化することができる。なお、メモリ機能体内の電荷保持領域が導電体である場合、メモリ機能体をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマージンが必要となる。

#### 【0054】

さらに、メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させることができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にすることができるとともに、安価な半導体記憶装置を得ることができる。

#### 【0055】

また、要件（3）及び（9）を満たす場合であって、さらに要件（6）を満たす場合には、より有用である。つまり、メモリ機能体内の電荷保持領域と拡散領域とをオーバーラップさせることにより、非常に低電圧で書込、消去が可能となる。具体的には、5 V 以下という低電圧により、書込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンピング回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジック L S I に内蔵する



場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用電圧昇圧回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

#### 【0056】

一方、要件（3）を満たさない場合、つまり、メモリ機能体内で電荷を保持するのが導電体である場合は、要件（6）を満たさない、つまり、メモリ機能体内の導電体と拡散領域がオーバーラップしていない場合でも、書込み動作を行なうことができる。これは、メモリ機能体内の導電体がゲート電極との容量カップリングにより書込み補助を行なうからである。

#### 【0057】

また、要件（9）を満たさない場合、つまり、メモリ機能体の上に書込み及び消去動作を補助する機能を有する電極がある場合は、要件（6）を満たさない、つまり、メモリ機能体内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書込み動作を行なうことができる。

#### 【0058】

本発明の半導体記憶装置においては、メモリ素子は、その一方又は両方に、トランジスタが直列に接続していてもよいし、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体装置、特にメモリ素子を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、メモリ素子とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

#### 【0059】

本発明の半導体記憶装置は、メモリ素子が、1つのメモリ機能体に2値又はそれ以上の情報を記憶させることができ、これにより、4値又はそれ以上の情報を記憶するメモリ素子として機能させることができる。なお、メモリ素子は、2値の情報を記憶させるのみでもよい。また、メモリ素子を、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備え

たメモリセルとしても機能させることができる。

#### 【0060】

本発明の半導体記憶装置は、論理素子又は論理回路等と組み合わせることにより、パーソナルコンピュータ、ノート、ラップトップ、パーソナル・アシスタント／発信機、ミニコンピュータ、ワークステーション、メインフレーム、マルチプロセッサ・コンピュータ又は他のすべての型のコンピュータシステム等のデータ処理システム；CPU、メモリ、データ記憶装置等のデータ処理システムを構成する電子部品；電話、PHS、モデム、ルータ等の通信機器；ディスプレイパネル、プロジェクタ等の画像表示機器；プリンタ、スキャナ、複写機等の事務機器；ビデオカメラ、デジタルカメラ等の撮像機器；ゲーム機、音楽プレーヤ等の娯楽機器；携帯情報端末、時計、電子辞書等の情報機器；カーナビゲーションシステム、カーオーディオ等の車載機器；動画、静止画、音楽等の情報を記録、再生するためのAV機器；洗濯機、電子レンジ、冷蔵庫、炊飯器、食器洗い機、掃除機、エアコン等の電化製品；マッサージ器、体重計、血圧計等の健康管理機器；ICカード、メモリカード等の携帯型記憶装置等の電子機器への幅広い応用が可能である。特に、携帯電話、携帯情報端末、ICカード、メモリカード、携帯型コンピュータ、携帯型ゲーム機、デジタルカメラ、ポータブル動画プレーヤ、ポータブル音楽プレーヤ、電子辞書、時計等の携帯電子機器への応用が有効である。なお、本発明の半導体記憶装置は、電子機器の制御回路又はデータ記憶回路の少なくとも一部として内蔵されるか、あるいは必要に応じて着脱可能に組み込んでもよい。

#### 【0061】

以下に、本発明の半導体記憶装置又は携帯電子機器の実施の形態を、図面に基づいて詳細に説明する。

#### 【0062】

(実施の形態1)

この実施の形態の半導体記憶装置は、図1に示すような、不揮発性メモリ素子の一例としてのメモリ素子1001を備える。

#### 【0063】



メモリ素子 1001 は、半導体基板 1101 表面に形成された P 型ウェル領域 1102 上にゲート絶縁膜 1103 を介してゲート電極 1104 が形成されている。ゲート電極 1104 の上面及び側面には、電荷を保持するトラップ準位を有し、電荷保持膜となるシリコン窒化膜 1109 が配置されており、シリコン窒化膜 1109 のなかでゲート電極 1104 の両側壁部分が、それぞれ実際に電荷を保持するメモリ機能体 1105 a、1105 b となっている。ここで、メモリ機能体とは、メモリ機能体又は電荷保持膜のうちで書換え動作により実際に電荷が蓄積される部分を指す。ゲート電極 1104 の両側であって P 型ウェル領域 1102 内に、それぞれソース領域又はドレイン領域として機能する N 型の拡散領域 1107 a、1107 b が形成されている。拡散領域 1107 a、1107 b は、オフセット構造を有している。すなわち、拡散領域 1107 a、1107 b はゲート電極下の領域 1121 には達しておらず、電荷保持膜下のオフセット領域 1120 がチャネル領域の一部を構成している。

#### 【0064】

なお、実質的に電荷を保持するメモリ機能体 1105 a、1105 b は、ゲート電極 1104 の両側壁部分である。したがって、この部分に対応する領域にのみ、シリコン窒化膜 1109 が形成されていればよい（図 2（a）参照）。また、メモリ機能体 1105 a、1105 b は、ナノメートルサイズの導電体又は半導体からなる微粒子 1112 が絶縁膜 1111 中に散点状に分布する構造を有していてもよい（図 2（b）参照）。このとき、微粒子 1112 が 1 nm 未満であると、量子効果が大きすぎるためにドットに電荷がトンネルするのが困難になり、10 nm を超えると室温では顕著な量子効果が現れなくなる。したがって、微粒子 1112 の直径は 1 nm～10 nm の範囲にあることが好ましい。さらに、電荷保持膜となるシリコン窒化膜 1109 は、ゲート電極の側面においてサイドウォールスペーサ状に形成されていてもよい（図 3 参照）。

#### 【0065】

メモリ素子の書込み動作原理を、図 3 及び図 4 を用いて説明する。なお、ここではメモリ機能体 1131 a、1131 b 全体が電荷を保持する機能を有する場合について説明する。また、書込みとは、メモリ素子が N チャネル型である場合

にはメモリ機能体 1131a、1131b に電子を注入することを指す。以後、メモリ素子は Nチャネル型であるとして説明する。

#### 【0066】

第2のメモリ機能体 1131b に電子を注入する（書込む）ためには、図3に示すように、N型の第1の拡散領域 1107a をソース電極に、N型の第2の拡散領域 1107b をドレイン電極とする。例えば、第1の拡散領域 1107a 及び P型ウェル領域 1102 に 0V、第2の拡散領域 1107b に +5V、ゲート電極 1104 に +5V を印加する。このような電圧条件によれば、反転層 1226 が、第1の拡散領域 1107a（ソース電極）から伸びるが、第2の拡散領域 1107b（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散領域 1107b（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2のメモリ機能体 1131b に注入されることにより書込みが行なわれる。なお、第1のメモリ機能体 1131a 近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

#### 【0067】

一方、第1のメモリ機能体 1131a に電子を注入する（書込む）ためには、図4に示すように、第2の拡散領域 1107b をソース電極に、第1の拡散領域 1107a をドレイン電極とする。例えば、第2の拡散領域 1107b 及び P型ウェル領域 1102 に 0V、第1の拡散領域 1107a に +5V、ゲート電極 1104 に +5V を印加する。このように、第2のメモリ機能体 1131b に電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメモリ機能体 1131a に電子を注入して、書込みを行なうことができる。

#### 【0068】

次に、メモリ素子の消去動作原理を図5及び図6を用いて説明する。

#### 【0069】

第1のメモリ機能体 1131a に記憶された情報を消去する第1の方法では、図5に示すように、第1の拡散領域 1107a に正電圧（例えば、+5V）、P型ウェル領域 1102 に 0V を印加して、第1の拡散領域 1107a と P型ウェ



ル領域 1102 との PN 接合に逆方向バイアスをかけ、さらにゲート電極 1104 に負電圧（例えば、 $-5\text{ V}$ ）を印加する。このとき、PN 接合のうちゲート電極 1104 付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルにより PN 接合の P 型ウェル領域 1102 側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極 1104 方向に引きこまれ、その結果、第 1 のメモリ機能体 1131a にホール注入が行なわれる。このようにして、第 1 のメモリ機能体 1131a の消去が行なわれる。このとき第 2 の拡散領域 1107b には  $0\text{ V}$  を印加すればよい。

#### 【0070】

第 2 のメモリ機能体 1131b に記憶された情報を消去する場合は、上記において第 1 の拡散領域と第 2 の拡散領域との電位を入れ替えればよい。

#### 【0071】

第 1 のメモリ機能体 1131a に記憶された情報を消去する第 2 の方法では、図 6 に示すように、第 1 の拡散領域 1107a に正電圧（例えば、 $+4\text{ V}$ ）、第 2 の拡散領域 1107b に  $0\text{ V}$ 、ゲート電極 1104 に負電圧（例えば、 $-4\text{ V}$ ）、P 型ウェル領域 1102 に正電圧（例えば、 $+0.8\text{ V}$ ）を印加する。この際、P 型ウェル領域 1102 と第 2 の拡散領域 1107b との間に順方向電圧が印加され、P 型ウェル領域 1102 に電子が注入される。注入された電子は、P 型ウェル領域 1102 と第 1 の拡散領域 1107a との PN 接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN 接合において、電子-ホール対を発生させる。すなわち、P 型ウェル領域 1102 と第 2 の拡散領域 1107b との間に順方向電圧を印加することにより、P 型ウェル領域 1102 に注入された電子がトリガーとなって、反対側に位置する PN 接合でホットホールが発生する。PN 接合で発生したホットホールは負の電位をもつゲート電極 1104 方向に引きこまれ、その結果、第 1 のメモリ機能体 1131a に正孔注入が行なわれる。

#### 【0072】

この方法によれば、P 型ウェル領域と第 1 の拡散領域 1107a との PN 接合





じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行なうことにより、製品間の画質を均一にすることができる。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを液晶ドライバに搭載することが好ましい。この不揮発性メモリとして本発明の不揮発性メモリ素子を用いるのが好ましく、特に、本発明の不揮発性メモリ素子を集積した実施の形態 10 に記載の半導体記憶装置を用いるのが好ましい。

#### 【0160】

本発明のメモリ素子を液晶パネルの画像調整用の不揮発性メモリとして用いれば、液晶ドライバなどの回路との混載プロセスが容易であることから製造コストを低減することができる。また、実施の形態 10 に記載の半導体記憶装置は、比較的メモリ規模が小規模で、信頼性や安定性が重視される場合に特に好適である。通常、液晶パネルの画像調整用の不揮発性メモリは、例えば、数キロバイトであり、比較的メモリ規模が小規模である。したがって、実施の形態 10 に記載の半導体記憶装置を液晶パネルの画像調整用に用いるのが特に好ましい。

#### 【0161】

(実施の形態 12)

上述した半導体記憶装置が組み込まれた携帯電子機器である携帯電話を、図 2 に示す。

#### 【0162】

この携帯電話は、主として、制御回路 811、電池 812、RF（無線周波数）回路 813、表示部 814、アンテナ 815、信号線 816、電源線 817 等によって構成されており、制御回路 811 には、上述した本発明の半導体記憶装置が組み込まれている。なお、制御回路 811 は、同一構造の素子をメモリ回路素子及び論理回路素子として兼用した集積回路であるのが好ましい。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

#### 【0163】

このように、メモリ部と論理回路部の混載プロセスが簡易で、かつ高速読出し動作が可能である半導体記憶装置を携帯電子機器に用いることにより、携帯電子

機器の動作速度を向上させ、製造コストを削減することが可能になり、安価で高信頼性、高性能の携帯電子機器を得ることができる。

#### 【0164】

##### 【発明の効果】

以上より明らかなように、本発明の半導体記憶装置によれば、不揮発性メモリ素子を用いて形成されたメモリセルアレイと、上記メモリセルアレイに供給する電圧を生成する電圧供給回路と、上記電圧供給回路が生成した電圧の極性を反転させる電圧極性反転回路と、上記電圧極性反転回路から上記メモリセルアレイに供給される電圧の値を検出する第1電圧値検出回路とを備え、上記不揮発性メモリ素子は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、このゲート電極下に上記ゲート絶縁膜を介して配置されたチャネル領域と、上記チャネル領域の両側に配置されると共に、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成されて、電荷または分極を保持する機能を有するメモリ機能体とを有するので、上記メモリセルアレイの不揮発性メモリ素子と、上記第1電圧値検出回路等に用いられるトランジスタとについて、従来よりもゲート絶縁膜の厚みを薄くでき、微細化が効果的に実現できる。その結果、上記メモリセルアレイや周辺回路の回路面積が効果的に小さくできて、半導体記憶装置の小型化を効果的に行なうことができる。また、上記メモリセルアレイの不揮発性メモリ素子のゲート絶縁膜と、上記第1電圧値検出回路等のトランジスタのゲート絶縁膜とを、同一の工程によって形成できるので、製造コストを削減できて、半導体記憶装置のコスト削減を有効に行なうことができる。

##### 【図面の簡単な説明】

【図1】 図1は本発明の実施の形態1の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図2】 図2(a), (b)は上記実施の形態1の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

【図3】 図3は上記実施の形態1の半導体記憶装置におけるメモリ素子の書き込み動作を説明するための図である。

【図4】 図4は上記実施の形態1の半導体記憶装置におけるメモリ素子の

書込み動作を説明するための図である。

【図 5】 図 5 は上記実施の形態 1 の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

【図 6】 図 6 は上記実施の形態 1 の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

【図 7】 図 7 は上記実施の形態 1 の半導体記憶装置におけるメモリ素子の読出し動作を説明する図である。

【図 8】 図 8 は本発明の実施の形態 2 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 9】 図 9 は上記実施の形態 2 の半導体記憶装置の要部の拡大概略断面図である。

【図 10】 図 10 は上記実施の形態 2 の半導体記憶装置の変形例の要部の拡大概略断面図である。

【図 11】 図 11 は上記実施の形態 2 の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

【図 12】 図 12 は上記実施の形態 2 の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

【図 13】 図 13 は本発明の実施の形態 3 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 14】 図 14 は本発明の実施の形態 4 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 15】 図 15 は本発明の実施の形態 5 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 16】 図 16 は本発明の実施の形態 6 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 17】 図 17 は本発明の実施の形態 7 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 18】 図 18 は本発明の実施の形態 8 の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

【図 19】 図 19 は本発明の実施の形態 9 の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

【図 20】 図 20 は本発明の実施の形態 10 の半導体記憶装置を示すブロック図である。

【図 21】 図 21 は本発明の半導体記憶装置を組み込んだ液晶表示装置の概略構成図である。

【図 22】 図 22 は本発明の半導体記憶装置を組み込んだ携帯電子機器の概略構成図である。

【図 23】 図 23 は従来のフラッシュメモリの要部の概略断面図である。

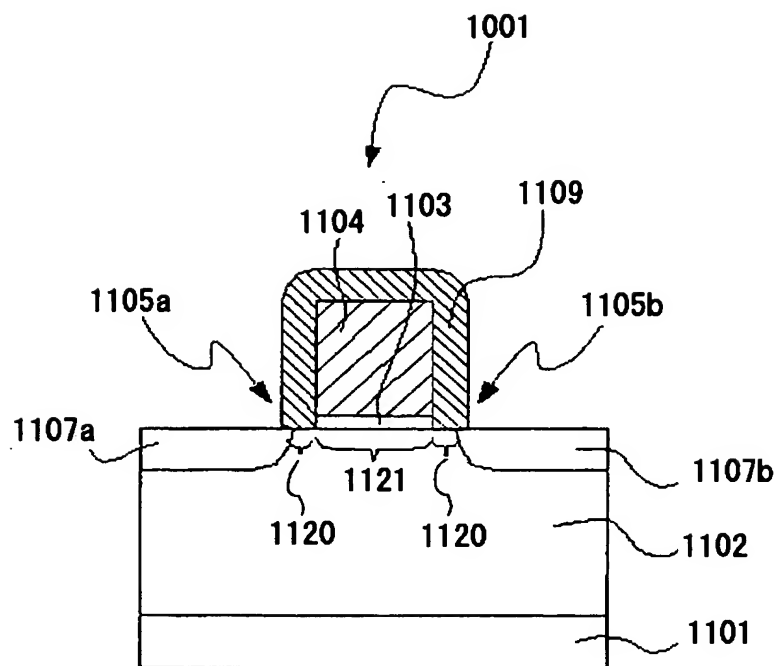
【図 24】 図 24 は従来のフラッシュメモリの電気特性を示すグラフである。

【符号の説明】

- 100 制御回路
- 101 電圧供給回路
- 102 メモリセルアレイ
- 103 5V電圧レベル検出回路
- 105 接続選択回路
- 110 -5V電圧レベル検出回路
- 111 電圧極性反転回路

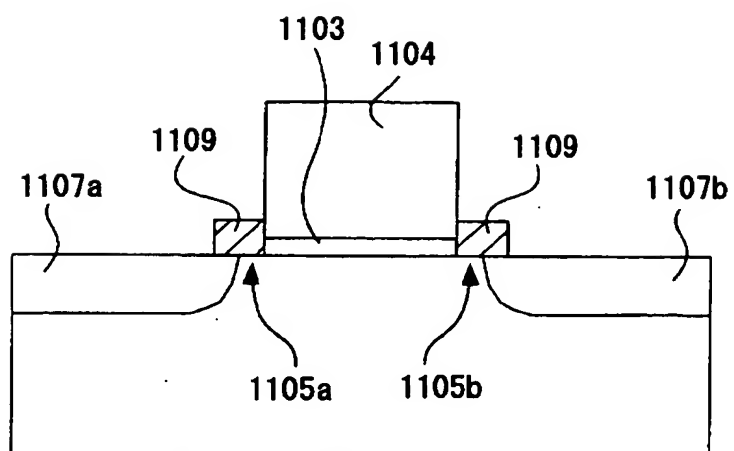
【書類名】 図面

【図 1】

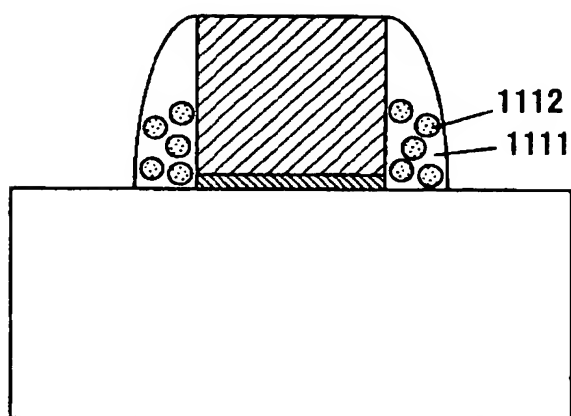


【図 2】

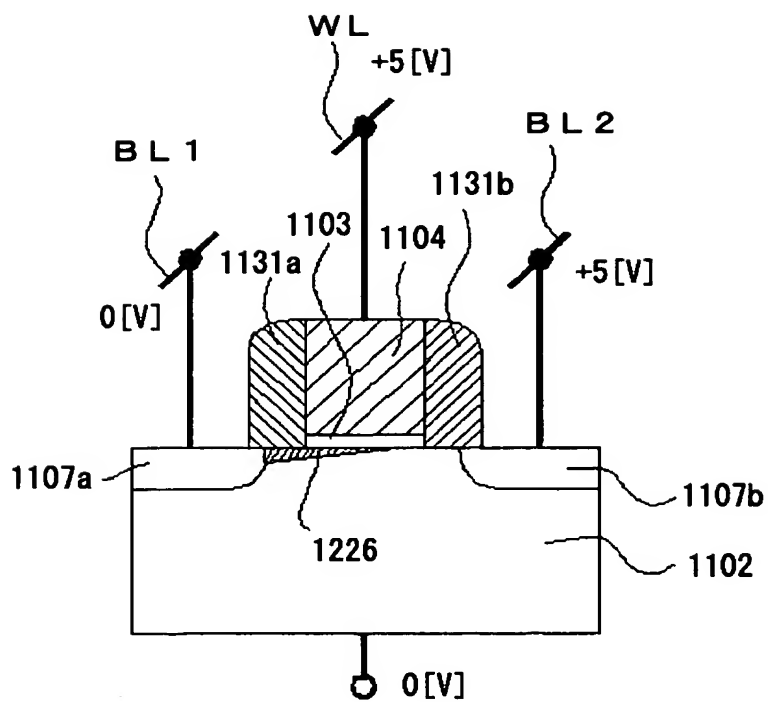
(a)



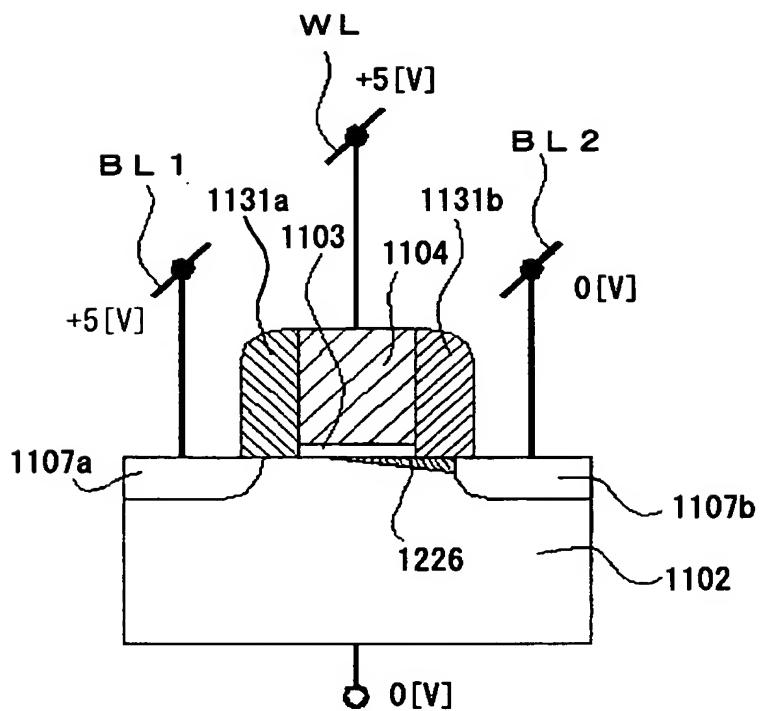
(b)



【図 3】

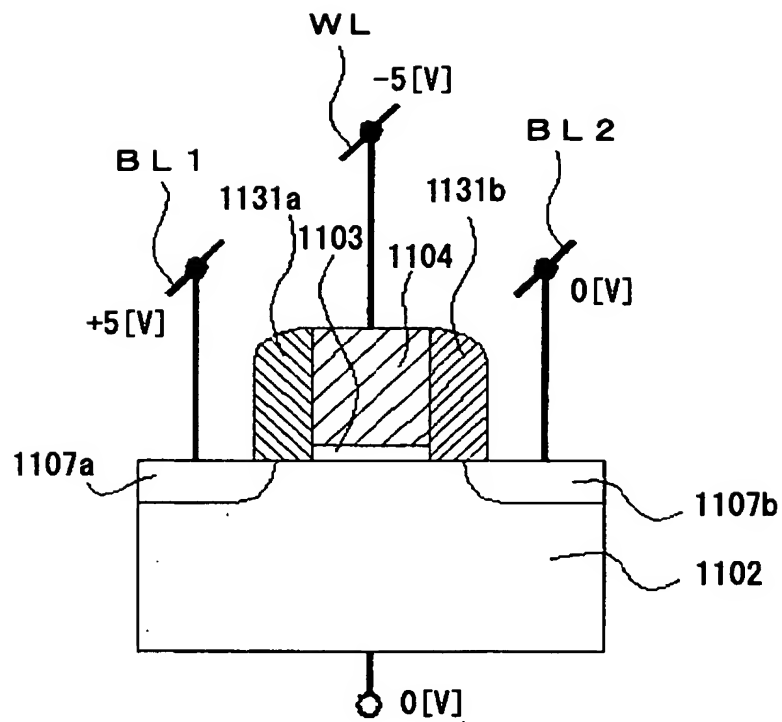


【図 4】

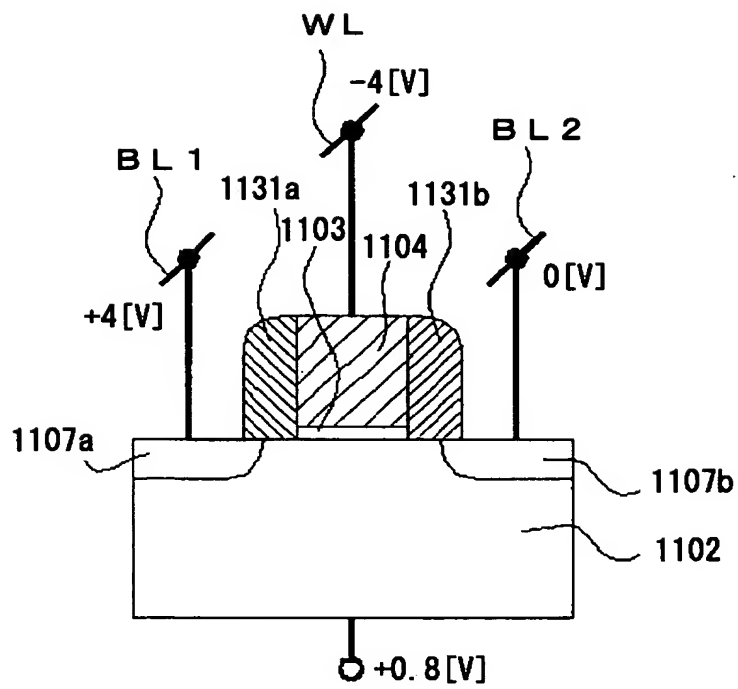




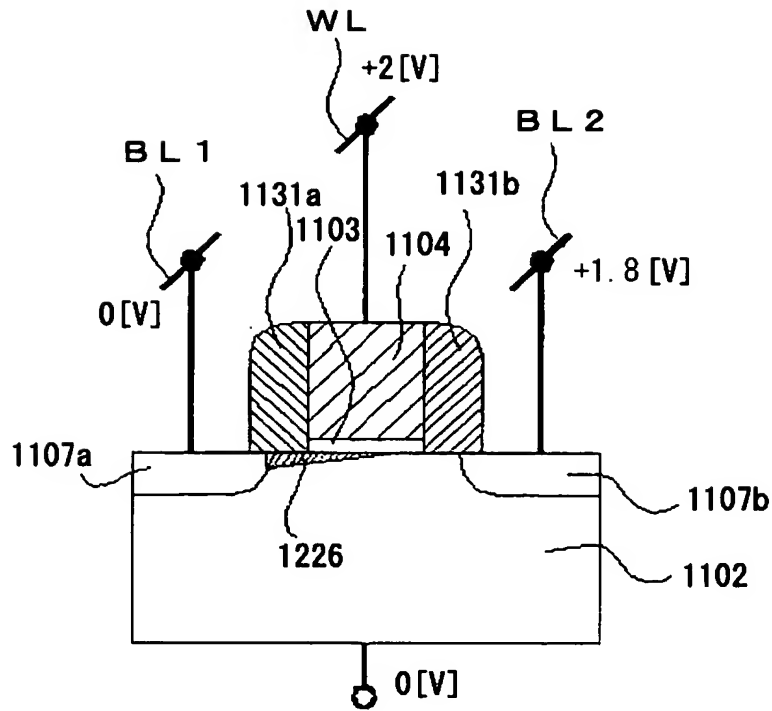
【図 5】



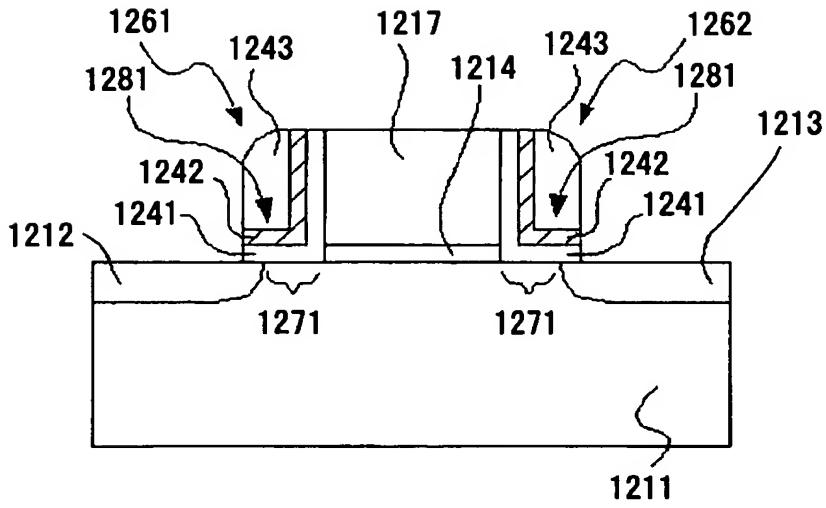
【図 6】



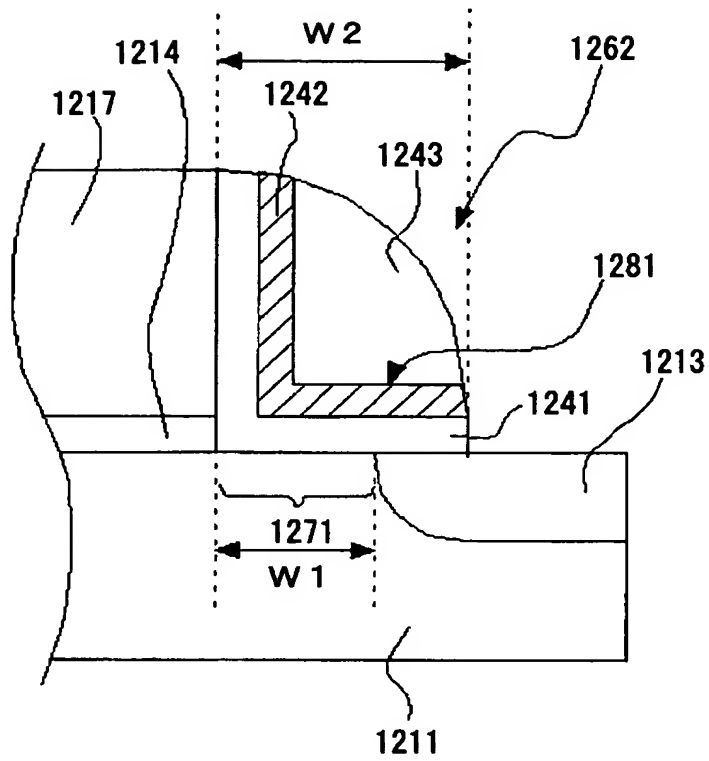
【図 7】



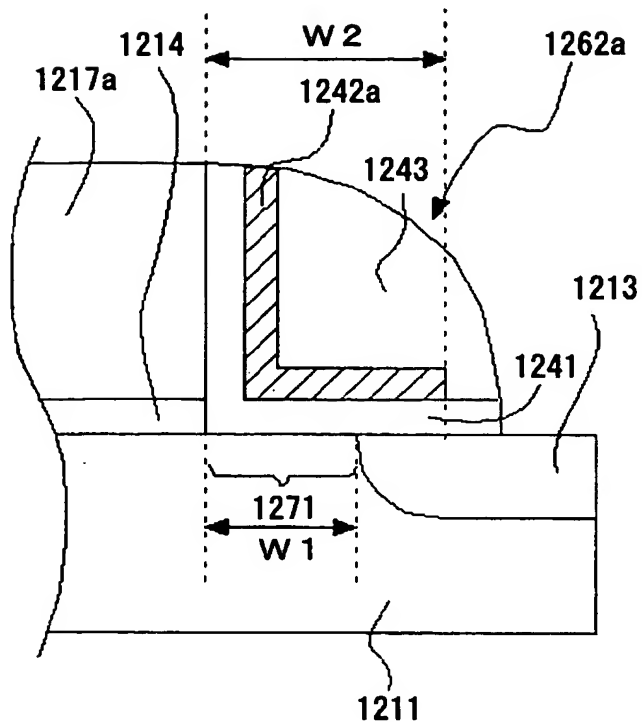
【図 8】



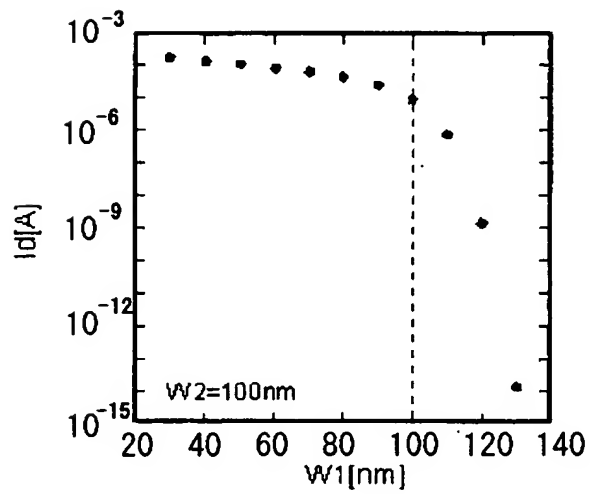
【図 9】



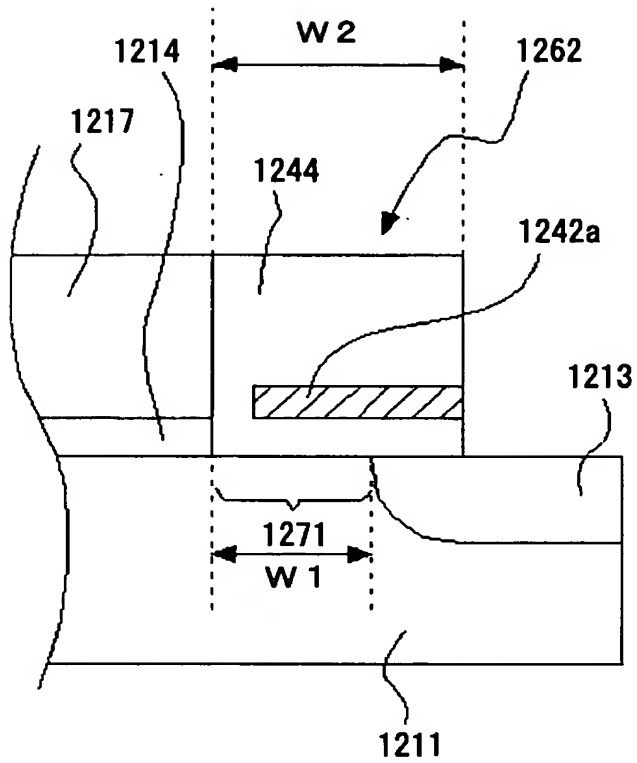
【図 10】



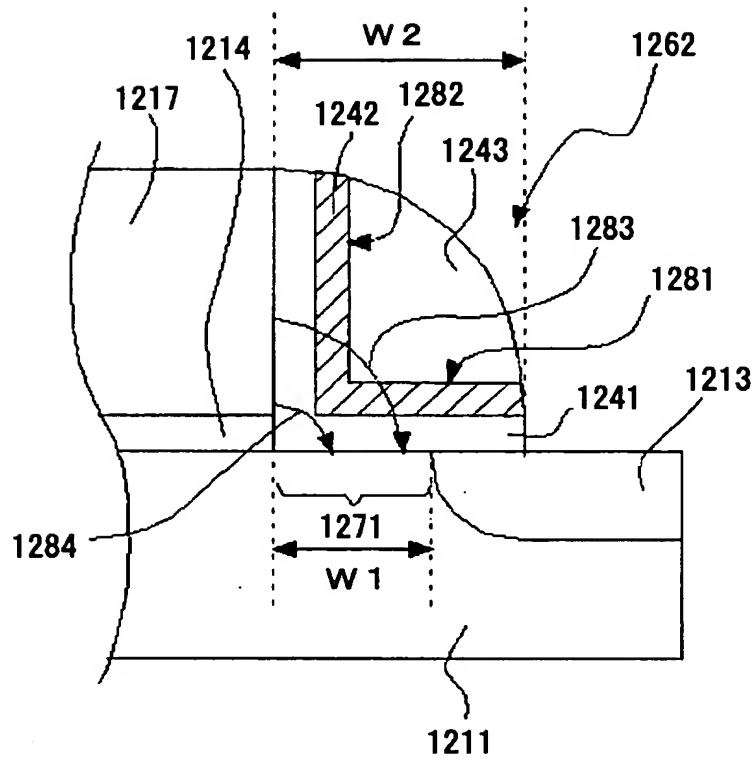
【図 11】



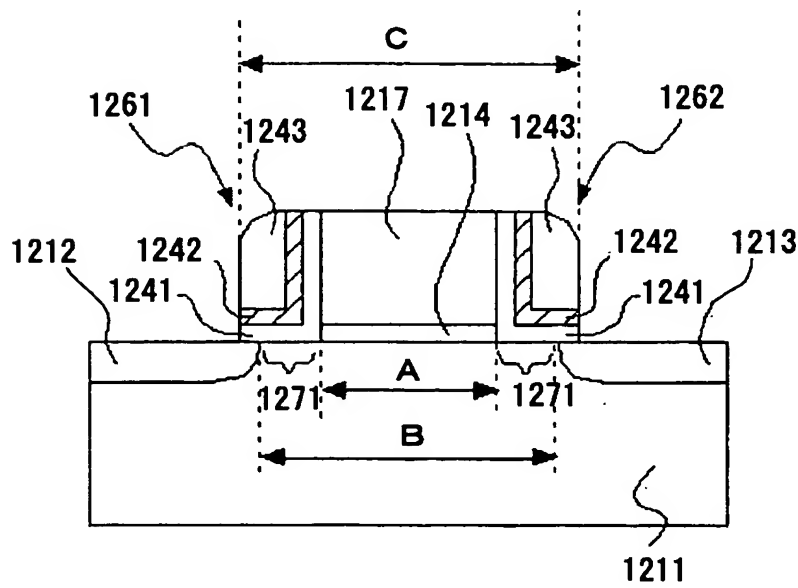
【図 12】



【図 13】

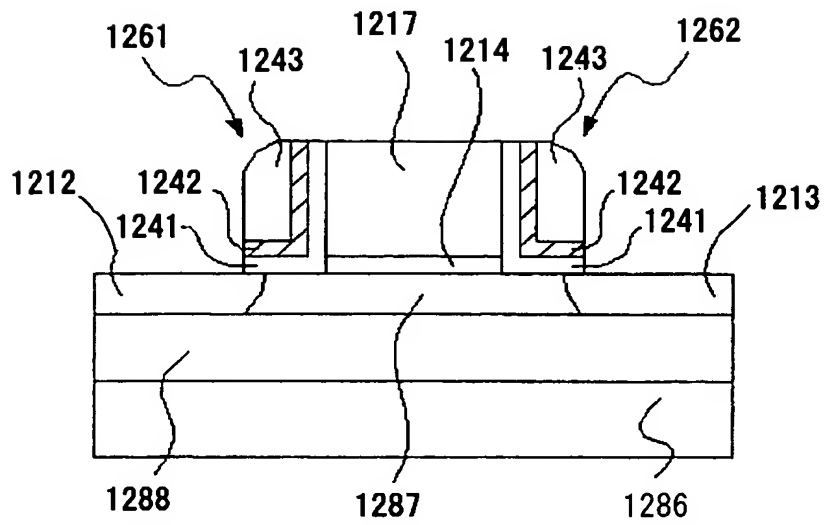


【図 14】

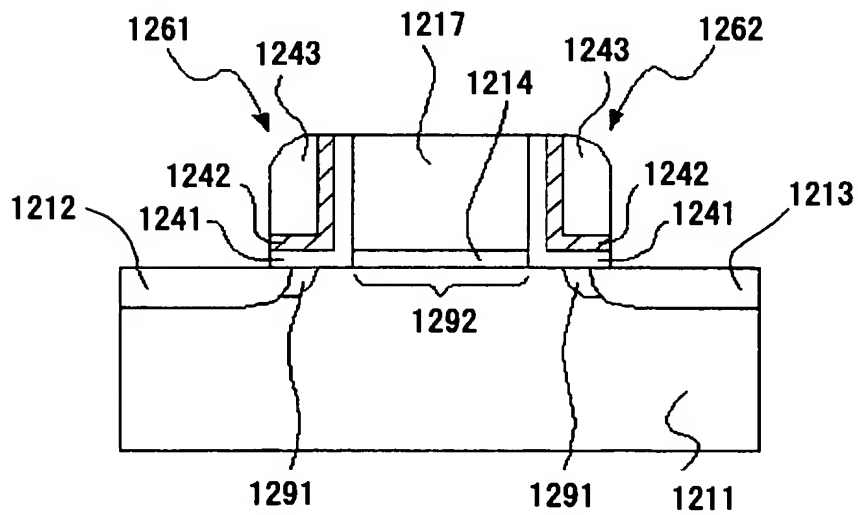




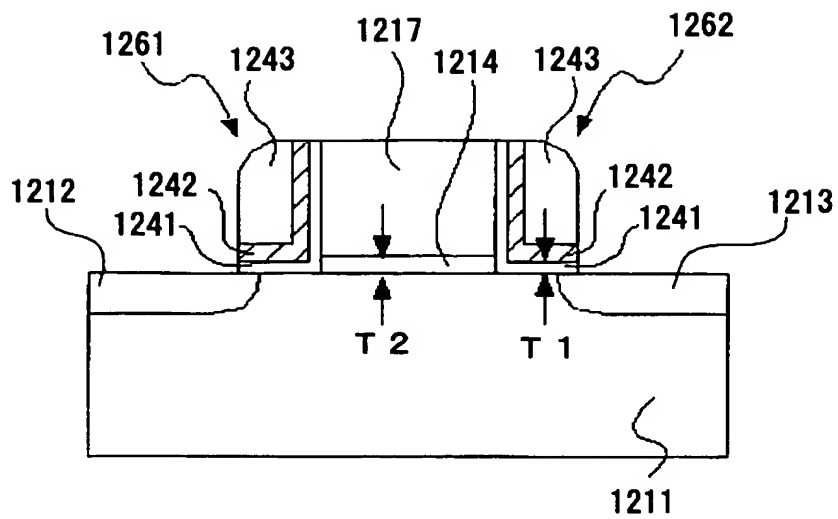
【図 15】



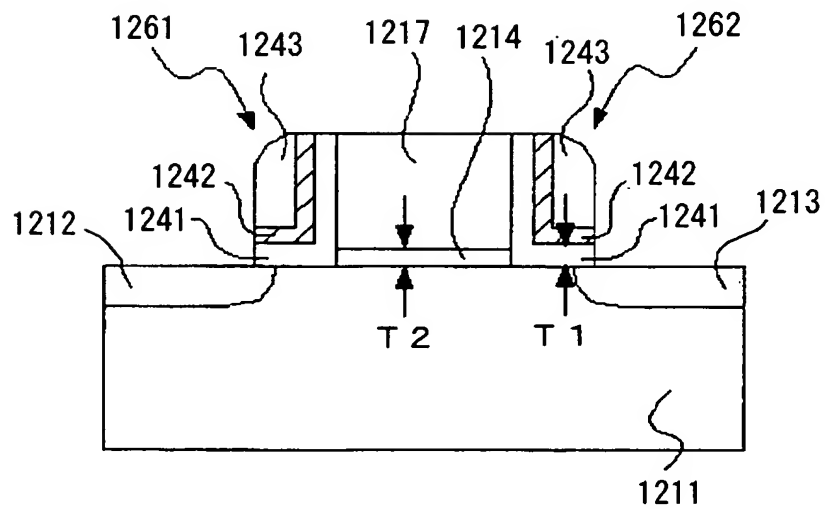
【図 16】



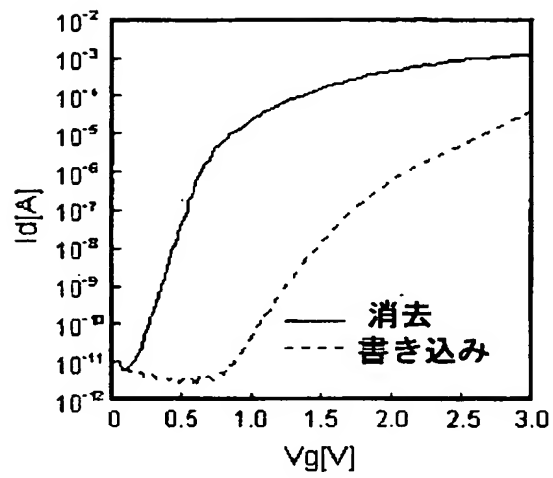
【図 17】



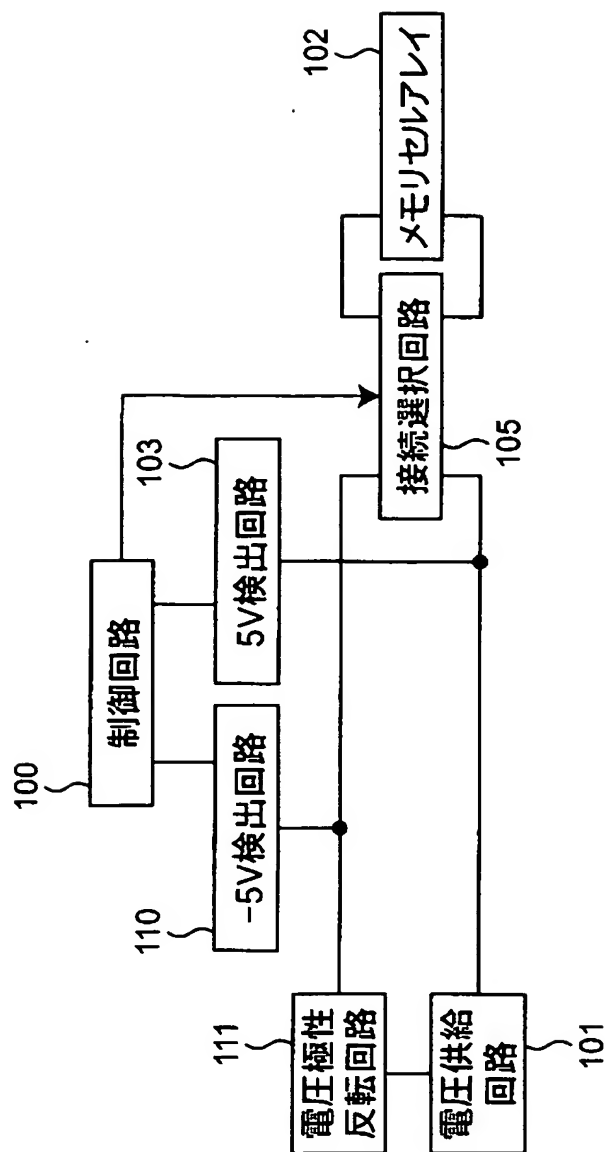
【图 18】



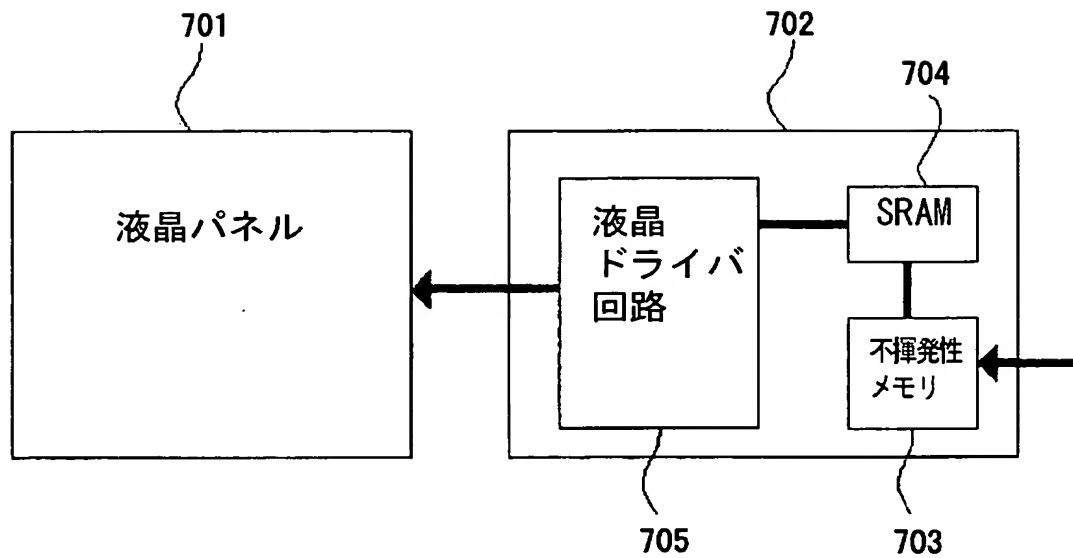
【図 19】



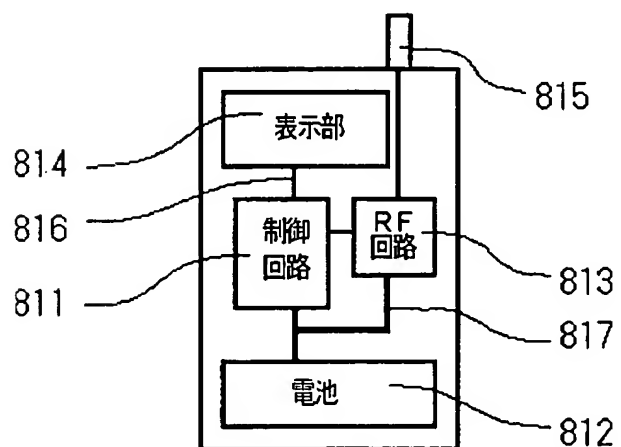
【図 20】



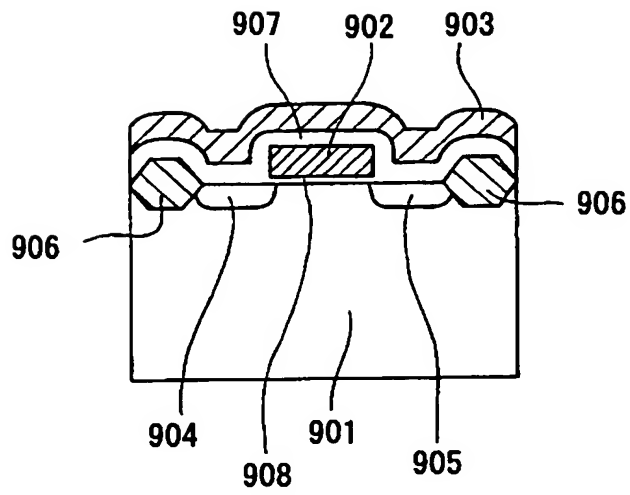
【図 2 1】



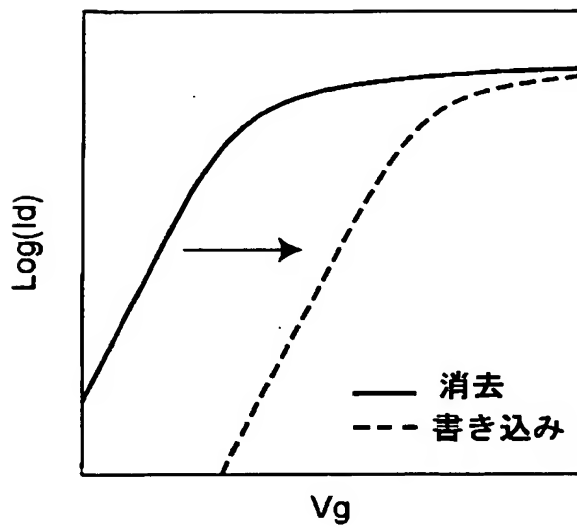
【図 2 2】



【図 2 3】



【図 24】



【書類名】 要約書

【要約】

【課題】 メモリセルアレイや周辺回路の小型化が行なえる半導体記憶装置を提供すること。

【解決手段】 電圧供給回路 101 で生成した 5 V の電圧と、この 5 V の電圧の極性を電圧極性反転回路 111 反転してなる -5 V の電圧とを、選択接続回路 105 によってメモリセルアレイ 102 に供給する。電圧供給回路 101 からの電圧値を検出する 5 V 電圧レベル検出回路 103 と、電圧極性反転回路 101 からの電圧値を検出する -5 V 電圧レベル検出回路 103 とは、トランジスタの絶縁膜を薄く形成できるので、回路の微細化により回路面積が縮小できる。メモリセルアレイ 102 の不揮発性メモリ素子は、ゲート電極の両側にメモリ機能膜を有するので、ゲート絶縁膜を薄くして微細化を行なって、メモリセルアレイ 102 の回路面積を縮小できる。

【選択図】 図 20



特願 2 0 0 3 - 1 4 2 1 3 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日  
[変更理由]  
住 所  
氏 名

1 9 9 0 年 8 月 2 9 日  
新規登録  
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号  
シャープ株式会社